

Docket No.: 67161-049

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	:	Customer Number: 20277
	:	
Fumitoshi YAMAMOTO	:	Confirmation Number:
	:	
Serial No.:	:	Group Art Unit:
	:	
Filed: September 09, 2003	:	Examiner: Unknown
	:	
For: SEMICONDUCTOR DEVICE WITH SURGE PROTECTION CIRCUIT	:	

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


In accordance with the provisions of 35 U.S.C. 119, Applicant(s) hereby claims(s) the priority of:

Japanese Patent Application No. 2003-052780, filed February 28, 2003

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:tlb
Facsimile: (202) 756-8087
Date: September 9, 2003

67161-049
YAMAMOTO
September 9.2003

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2003年 2月28日

出 願 番 号

Application Number:

特願2003-052780

[ST.10/C]:

[JP2003-052780]

出 願 人

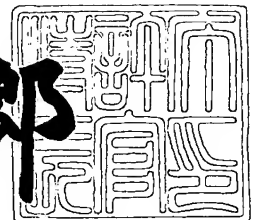
Applicant(s):

三菱電機株式会社

2003年 3月24日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3019446

【書類名】 特許願

【整理番号】 543560JP01

【提出日】 平成15年 2月28日

【あて先】 特許庁長官殿

【国際特許分類】 H02H 7/20

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社
社内

【氏名】 山本 文寿

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100064746

【弁理士】

【氏名又は名称】 深見 久郎

【選任した代理人】

【識別番号】 100085132

【弁理士】

【氏名又は名称】 森田 俊雄

【選任した代理人】

【識別番号】 100083703

【弁理士】

【氏名又は名称】 仲村 義平

【選任した代理人】

【識別番号】 100096781

【弁理士】

【氏名又は名称】 堀井 豊

【選任した代理人】

【識別番号】 100098316

【弁理士】

【氏名又は名称】 野田 久登

【選任した代理人】

【識別番号】 100109162

【弁理士】

【氏名又は名称】 酒井 將行

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 信号入力端子に電氣的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であって、

主表面を有する半導体基板と、

前記半導体基板の主表面に形成されたフィールド酸化膜と、

前記半導体基板の主表面上に形成され、かつ前記信号入力端子に電氣的に接続された導電層とを備え、

前記ダイオードのカソードは、第 1 のカソード領域と第 2 のカソード領域とを有し、前記第 1 のカソード領域は、前記導電層と電氣的に接続して前記半導体基板の主表面に形成されていて、前記第 2 のカソード領域は、前記ダイオードのアノード領域とツェナー降伏が生じる p n 接合を構成し、

前記ツェナー降伏が生じる p n 接合は、前記フィールド酸化膜から離れていることを特徴とする、半導体装置。

【請求項 2】 前記カソードと前記トランジスタのコレクタとが前記信号入力端子に電氣的に接続されており、前記アノードと前記トランジスタのベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されていることを特徴とする、請求項 1 に記載の半導体装置。

【請求項 3】 前記アノード領域の側面または上面を覆うように、前記第 2 のカソード領域が形成されていることを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記第 2 のカソード領域の側面または上面を覆うように、前記アノード領域が形成されていることを特徴とする、請求項 1 または 2 に記載の半導体装置。

【請求項 5】 ツェナー降伏が生じる p n 接合を構成する前記アノード領域と前記第 2 のカソード領域とは、ともに前記半導体基板内に形成されたエピタキシャル層の内部に形成されていることを特徴とする、請求項 1 ～ 4 のいずれかに記載の半導体装置。

【請求項 6】 前記トランジスタのコレクタは、前記半導体基板内に形成されたエピタキシャル層と、前記エピタキシャル層内に形成された拡散層とを有し、前記拡散層は前記エピタキシャル層よりも不純物濃度が高いことを特徴とする、請求項 1 ～ 5 のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、半導体装置に関し、より特定のにはサージ保護回路を備えた半導体装置に関する。

【0 0 0 2】

【従来の技術】

自動車、モーター、蛍光表示、オーディオ等やトランジスタ素子等よりなる IC (Integrated Circuit) を瞬間的に大きく増加した電流あるいは電圧 (サージ) から保護するためのサージ保護回路として、様々なものが提案されてきた。このうち、1つのダイオードと1つの npn トランジスタから構成されるサージ保護回路は、簡易な構成で得られるサージ保護回路として知られている。1つのダイオードと1つの npn トランジスタから構成される従来のサージ保護回路は、以下のような構成になっている。

【0 0 0 3】

1つのダイオードと1つの npn トランジスタから構成される従来のサージ保護回路において、ダイオードのカソードは、フィールド酸化膜によって電氣的に分離された半導体基板の主表面に形成された高濃度の第1の n^+ 拡散層を有している。この第1の n^+ 拡散層は、半導体基板上に形成された導電層と接触することで信号入力端子と電氣的に接続されている。ダイオードのアノードは、p型拡散層と、p型拡散層内に形成された p^+ 拡散層とを有している。この p^+ 拡散層はカソードとなる n^+ 拡散層と直接接している。

【0 0 0 4】

また、npn トランジスタのコレクタは、上記第1の n^+ 拡散層と、埋込み n^+ 拡散層と、半導体基板内に形成された n^- エピタキシャル層とを有している。n

p n トランジスタのベースは、 n^{-} エピタキシャル層内に形成された p 型拡散層を有している。n p n トランジスタのエミッタは、p 型拡散層内に形成された第 2 の n^{+} 拡散層を有している。

【0 0 0 5】

上記第 1 の n^{+} 拡散層は、ダイオードのカソード領域に含まれ、かつ n p n トランジスタのコレクタ領域に含まれている。また、p 型拡散層はダイオードのアノード領域に含まれ、かつ n p n トランジスタのベース領域に含まれている。

【0 0 0 6】

続いて、上記従来のサージ保護回路の動作について説明する。信号入力端子にサージ電圧が印加されると、上記第 1 の n^{+} 拡散層にサージ電圧が印加され、ダイオードの逆方向電圧が上昇する。この逆方向電圧が一定値を超えるとダイオードがツェナー降伏し、ダイオードのカソードからアノードへ電流が流れる。このアノード領域に含まれている p 型拡散層は n p n トランジスタのベース領域でもあるため、この電流が n p n トランジスタのベース電流となる。これにより、n p n トランジスタが導通するため、信号入力端子に印加されたサージの電荷が n p n トランジスタのエミッタ側から放電される。

【0 0 0 7】

また、上記以外のサージ保護回路は、たとえば特開平 5 - 2 0 6 3 8 5 号公報および特開昭 5 6 - 1 9 6 5 7 号公報に開示されている（特許文献 1、2 参照）。

【0 0 0 8】

【特許文献 1】

特開平 5 - 2 0 6 3 8 5 号公報

【0 0 0 9】

【特許文献 2】

特開昭 5 6 - 1 9 6 5 7 号公報

【0 0 1 0】

【発明が解決しようとする課題】

上記構成を有する従来のサージ保護回路においては、ダイオードのカソード領

域となる第1の n^+ 拡散層と上記導電層とのコンタクト抵抗を下げるために、第1の n^+ 拡散層は高濃度に形成されている。また、この第1の n^+ 拡散層と接する部分におけるアノード領域の濃度が低いと、ダイオードが降伏した場合に、第1の n^+ 拡散層とアノード（p型拡散層）とのpn接合の空乏層中に存在する電子が、第1の n^+ 拡散層に隣接するフィールド酸化膜にトラップされる。この場合、pn接合の空乏層が広がり、ダイオードの降伏電圧が上昇する問題が生じる。したがって、アノードとなるp型拡散層内の第1の n^+ 拡散層と接する部分には、高濃度の p^+ 拡散層を形成することにより、第1の n^+ 拡散層からの電子をスムーズにアノード（p型拡散層）へ流す必要がある。つまり、ツェナー降伏が生じるpn接合を構成するアノード領域とカソード領域とがともに高濃度で形成される必要がある。

【0011】

しかしながら、ツェナー降伏が生じるpn接合を構成するアノード領域とカソード領域とがともに高濃度で形成されると、アノード領域とカソード領域とのpn接合の空乏層幅が極端に狭くなる。その結果、降伏電圧よりも低い電圧でサージ保護回路に電流が流れる現象（電流のリーク）が起こり、サージ保護回路が正常に動作しないという問題があった。

【0012】

したがって、本発明の目的は、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置を提供することである。

【0013】

【課題を解決するための手段】

本発明の半導体装置は、信号入力端子に電気的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であって、主表面を有する半導体基板と、半導体基板の主表面に形成されたフィールド酸化膜と、半導体基板の主表面上に形成され、かつ信号入力端子に電気的に接続された導電層とを備えている。ダイオードのカソードは、第1のカソード領域と第2のカソード領域とを有し、第1のカソード領域は、導電層と電気的に接続して半導体基板の主表面に形成されていて、第2のカソード領域は、ダイオードのアノード領域

とツェナー降伏が生じる p n 接合を構成し、ツェナー降伏が生じる p n 接合は、フィールド酸化膜から離れている。

【0014】

【発明の実施の形態】

以下、本発明の実施の形態について図に基づいて説明する。

【0015】

(実施の形態 1)

図 1 は本発明の実施の形態 1 におけるサージ保護回路を示す回路図である。

【0016】

図 1 を参照して、サージ保護回路 3 1 は、ダイオード 2 2 と n p n トランジスタ 2 3 とを備えている。ダイオード 2 2 のカソードおよび n p n トランジスタ 2 3 のコレクタは、信号入力端子 2 1 および装置部分 2 5 に電氣的に接続されている。ダイオード 2 2 のアノードと n p n トランジスタ 2 3 のベースとは互いに電氣的に接続されている。n p n トランジスタ 2 3 のエミッタは接地電位 2 4 に電氣的に接続されている。

【0017】

続いて、本実施の形態におけるサージ保護回路を備えた半導体装置の構成について説明する。

【0018】

図 2 は、本発明の実施の形態 1 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 3 は図 2 の I I I - I I I 線に沿った断面図である。

【0019】

図 2 および図 3 を参照して、半導体装置 5 1 において、たとえばシリコン単結晶よりなる半導体基板 4 1 の下部に p⁻領域 1 が形成されている。p⁻領域 1 の上には注入拡散により n⁺拡散層 2 が形成されている。この n⁺拡散層 2 の上に n⁻エピタキシャル層 4 が形成されている。この n⁻エピタキシャル層 4 の周囲を取り囲むように、p⁻領域 1 上に p⁺拡散層 3 a と p 型拡散層 6 a とが形成されていて、p 型拡散層 6 a 内には p⁺拡散層 9 が形成されている。n⁺拡散層 2 および n

n^{-} エピタキシャル層 4 内には注入拡散により p^{+} 拡散層 3 b が形成されている。また、半導体基板 4 1 の表面には、半導体基板の各領域を電氣的に分離するためのフィールド酸化膜 7 が形成されている。フィールド酸化膜 7 とは、LOCOS (Local Oxidation of Silicon) 法により形成されるシリコン酸化膜のことである。 p^{+} 拡散層 9 と n^{+} 拡散層 8 a と n^{+} 拡散層 8 b と n^{+} 拡散層 8 c とは、フィールド酸化膜 7 によって各々電氣的に分離されている。

【0020】

この n^{+} 拡散層 2 および n^{-} エピタキシャル層 4 内には、サージ保護回路を構成するダイオード 2 2 と $n p n$ トランジスタ 2 3 とが形成されている。ダイオード 2 2 は、アノード領域とカソード領域とを有している。 $n p n$ トランジスタ 2 3 は、エミッタ領域とベース領域とコレクタ領域とを有している。

【0021】

ダイオード 2 2 において、アノード領域は、 n 型拡散層 5 内に形成された p 型拡散層 6 b により構成されている。 n 型拡散層 5 は n^{-} エピタキシャル層 4 内に形成されている。カソード領域は、 n^{-} エピタキシャル層 4 内に形成された n^{+} 拡散層 8 c (第 1 のカソード領域) と、 n^{-} エピタキシャル層 4 と、 n 型拡散層 5 と、 n 型拡散層 5 および p 型拡散層 6 b 内に形成された n^{+} 拡散層 8 b (第 2 のカソード領域) とにより構成されている。

【0022】

$n p n$ トランジスタ 2 3 において、コレクタ領域は、 n^{-} エピタキシャル層 4 内に形成された n^{+} 拡散層 8 c と、 n^{-} エピタキシャル層 4 と、 n^{+} 拡散層 2 とにより構成されている。ベース領域は、 n^{-} エピタキシャル層 4 内に形成された p 型拡散層 6 a により構成されている。エミッタ領域は、 p 型拡散層 6 a 内に形成された n^{+} 拡散層 8 a により構成されている。

【0023】

本実施の形態においては、ツェナー降伏が生じる $p n$ 接合は、 p 型拡散層 6 b と n^{+} 拡散層 8 b とにより構成されている。ここで、 n^{+} 拡散層 8 b は p 型拡散層 6 b の上面を覆うように形成されている。半導体基板 4 1 を上面から見た場合 (図 2) における n^{+} 拡散層 8 b の外周部分は、 n 型拡散層 5 と電氣的に接続され

ている。また、p型拡散層6bの側面を覆うようにn型拡散層5が形成されている。これにより n^+ 拡散層8bおよびn型拡散層5で構成されるカソード領域は四角柱の形状で形成されていて、この四角柱の内部にアノード領域であるp型拡散層6bが形成されている。したがって、ツェナー降伏が生じるpn接合（p型拡散層6bと n^+ 拡散層8bとにより構成されるpn接合）はこの四角柱の内部に構成されることとなり、フィールド酸化膜7から離れている。

【0024】

n型拡散層5は、たとえば約 10^{12} 個/cm²の注入量でP（リン）を n^- エピタキシャル層4に注入することにより形成されている。p型拡散層6a、6bは、たとえば約 10^{13} 個/cm²の注入量でB（ボロン）を n^- エピタキシャル層4に注入することにより形成されている。 n^+ 拡散層8a～8cは、 n^- エピタキシャル層4と、n型拡散層5およびp型拡散層6bと、p型拡散層6aとの表面において、たとえば約 10^{15} 個/cm²の注入量でAs（ヒ素）を注入することにより形成されている。 p^+ 拡散層9は、p型拡散層6aの表面において、たとえば約 10^{15} 個/cm²の注入量でBまたはBF₂を注入することにより形成されている。

【0025】

半導体基板41表面を覆うように半導体基板41の主表面上に層間絶縁膜10が形成されている。層間絶縁膜10にはコンタクトホール11a～11cの各々が形成されている。このコンタクトホール11a～11cの各々を介して上記の各領域に電氣的に接続するように、層間絶縁膜10上に、たとえば不純物が導入された多結晶シリコン（以下、ドーフトポリシリコンと称する）よりなる配線12a、12bが形成されている。これにより、 p^+ 拡散層9と n^+ 拡散層8aとが電氣的に接続されている。なお、配線12a（導電層）は信号入力端子21（図1）および装置部分25（図1）に電氣的に接続されている。

【0026】

続いて、本実施の形態におけるサージ保護回路の動作について説明する。

図1～図3を参照して、サージ電圧が信号入力端子21に印加されると、 n^+ 拡散層8bにサージ電圧が印加され、ダイオード22のアノードとカソードとの

間の逆方向電圧が上昇する。これにより、ダイオード 2 2 がツェナー降伏し、 n^+ 拡散層 8 b から p 型拡散層 6 b に電流が流れる。この p 型拡散層 6 b から n p n トランジスタ 2 3 のベース領域である p 型拡散層 6 a に電流が流れ、n p n トランジスタ 2 3 が ON する。n p n トランジスタ 2 3 が ON すると、 n^- エピタキシャル層 4 から n^+ 拡散層 8 a に電流が流れることにより、信号入力端子 2 1 に印加されたサージ電圧は接地電位 2 4 である配線 1 2 a に開放される。これにより、装置部分 2 5 にサージ電圧が印可されることが防止される。

【 0 0 2 7 】

本実施の形態においては、ダイオード 2 2 のカソード領域は n^+ 拡散層 8 c と n^- エピタキシャル層 4 と n 型拡散層 5 と n^+ 拡散層 8 b とにより構成されている。このうち、配線 1 2 b に電氣的に接続されている n^+ 拡散層 8 c と、ツェナー降伏が生じる p n 接合を構成している n^+ 拡散層 8 b とが別々の領域で構成されている。したがって、 n^+ 拡散層 8 c の不純物濃度を高くすることにより配線 1 2 b とのコンタクト抵抗を下げることができる。また、p 型拡散層 6 b と n^+ 拡散層 8 b との不純物濃度を低くすることにより、電流のリークを防止できる。さらに、ツェナー降伏が生じる p 型拡散層 6 b と n^+ 拡散層 8 b との p n 接合がフィールド酸化膜 7 から離れているので、アノード領域とカソード領域との p n 接合の空乏層中に存在する電子がフィールド酸化膜 7 にトラップされ、これにより p n 接合の空乏層が広がり、ダイオード 2 2 の降伏電圧が上昇するという問題を解決できる。したがって、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置 5 1 が得られる。

【 0 0 2 8 】

本願発明者らは、上記の効果を確認すべく以下の実験を行なった。

具体的には、従来のサージ保護回路を備えた半導体装置の電流・電圧特性と本実施の形態におけるサージ保護回路を備えた半導体装置の電流・電圧特性とを調べた。図 4 (a) は、従来のサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。図 4 (b) は、本発明の実施の形態 1 におけるサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。なお、図 4 (a) 、 (b) において、電流は n p n トランジスタ 2 3 (図 1) を流れる電流を対数

表示している。電圧は、接地電位 2 4（図 1）の電位を 0 としたときの信号入力端子 2 1（図 1）の電位を示している。また、 V_1 はダイオード 2 2（図 1）の降伏電圧を示している。

【0 0 2 9】

これらの結果から、従来のサージ保護回路においては、電圧が V_1 以下の場合にも電流が流れている。これはダイオード 2 2 の電流のリークに起因するものである。一方、本発明においては、電圧が V_1 以下の場合では 10^{-12} A オーダーのわずかな電流しか流れていない。そして電圧が V_1 以上になると急激に大きな電流が流れている。したがって、本発明の実施の形態 1 のサージ保護回路を備える半導体装置は、電流のリークが生じず、正常に動作していることがわかる。

【0 0 3 0】

また、本実施の形態においては、サージ保護回路 3 1 は、ダイオード 2 2 のカソードとトランジスタ 2 3 のコレクタとが信号入力端子 2 1 に電氣的に接続されており、ダイオード 2 2 のアノードとトランジスタ 2 3 のベースとは互いに同じ導電型に形成されていて、かつ互いに電氣的に接続されている。

【0 0 3 1】

これにより、ダイオード 2 2 がトランジスタ 2 3 より先に確実に降伏するように回路が構成されるため、ダイオード 2 2 が降伏することでトランジスタ 2 3 が確実に ON し、それにより信号入力端子 2 1 に印加されたサージ電圧が確実に開放されるため、誤作動を防止でき正常に動作するサージ保護回路 3 1 を実現することができる。

【0 0 3 2】

さらに、本実施の形態においては、アノード領域である p 型拡散層 6 b の上面を覆うように、ツェナー降伏が生じる p n 接合を構成するカソード領域である n^+ 拡散層 8 b が形成されている。

【0 0 3 3】

これにより、ツェナー降伏が生じる p n 接合がフィールド酸化膜 7 から離れている構成を容易に作製できる。したがって、ツェナー降伏が生じる p n 接合の空乏層中の電子がフィールド酸化膜 7 にトラップされ空乏層幅が広がることにより

ダイオード 2 2 の降伏電圧が上がることを容易に防止できる。

【 0 0 3 4 】

なお、本実施の形態においては、アノード領域である p 型拡散層 6 b の上面を覆うように、ツェナー降伏が生じる p n 接合を構成するカソード領域である n^+ 拡散層 8 b が形成されている場合について示したが、本発明はこのような場合に限定されるものではなく、アノード領域である p 型拡散層 6 b の側面を覆うように、ツェナー降伏が生じる p n 接合を構成するカソード領域が形成されていてもよい。

【 0 0 3 5 】

(実施の形態 2)

図 5 は、本発明の実施の形態 2 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 6 は図 5 の V I - V I 線に沿った断面図である。

【 0 0 3 6 】

図 5 および図 6 を参照して、本実施の形態においては、 n^+ 拡散層 8 c を取り囲むように n^- エピタキシャル層 4 内に n^+ 拡散層 1 3 a が形成されている。 n^+ 拡散層 1 3 a は、 n^+ 拡散層 2 に到達するように n^- エピタキシャル層 4 内にたとえばリンガラスを注入拡散することにより形成されている。これにより、n p n トランジスタ 2 3 のコレクタ領域は、 n^+ 拡散層 8 c と n^+ 拡散層 1 3 a と n^+ 拡散層 2 と n^- エピタキシャル層 4 とにより構成されている。なお、 n^+ 拡散層 1 3 a は n^- エピタキシャル層 4 よりも不純物濃度が高い。

【 0 0 3 7 】

なお、これ以外の構成については図 1 ～図 3 に示す実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 3 8 】

本実施の形態のサージ保護回路を備えた半導体装置においては、n p n トランジスタ 2 3 のコレクタ領域がさらに n^+ 拡散層 1 3 a で構成されている。 n^+ 拡散層は n^- エピタキシャル層に比べて不純物濃度が大きいので、コレクタ領域の電

気抵抗（コレクタ抵抗）が小さい。このため、トランジスタの動作速度を向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。これについて以下に説明する。

【0039】

トランジスタの動作速度はベース領域での少数キャリアの走行時間 τ_B が短いほど速くなる。ベース領域での少数キャリアの走行時間 τ_B は次式で表される。

【0040】

【数1】

$$\tau_B = \frac{Q_B}{I_C} \quad \dots(1)$$

【0041】

ここで、 Q_B はベース領域に注入された少数キャリアの電荷、 I_C はコレクタ電流、 τ_B はベース領域での少数キャリアの走行時間である。式1を参照して、コレクタ電流 I_C が大きくなると少数キャリアの走行時間 τ_B が短くなる。本実施の形態においては、 n^+ 拡散層が形成されることによりコレクタ抵抗が小さくなるので、コレクタ電流 I_C が大きくなる。その結果、ベース領域での少数キャリアの走行時間 τ_B が短くなり、トランジスタの動作速度が向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

【0042】

（実施の形態3）

図7は、本発明の実施の形態3におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【0043】

図7を参照して、本実施の形態においては、p型拡散層6aの図中右側の n^- エピタキシャル層4内にも n^+ 拡散層13bが形成されている。 n^+ 拡散層13bは n^+ 拡散層13aと同様の方法により形成される。これにより、npnトランジスタ23のコレクタ領域は、 n^+ 拡散層8cと n^+ 拡散層13aと n^+ 拡散層2と n^+ 拡散層13bと n^- エピタキシャル層4とにより構成されている。

【0044】

なお、これ以外の構成については図 6 に示す実施の形態 2 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 4 5 】

本実施の形態のサージ保護回路を備えた半導体装置においては、 $n p n$ トランジスタ 2 3 のコレクタ領域がさらに n^+ 拡散層 1 3 b で構成されている。 n^+ 拡散層は n^- エピタキシャル層に比べて不純物濃度が大きいので、コレクタ抵抗が小さい。このため、トランジスタの動作速度を一層向上することができ、高周波数のサージに対してもサージ保護回路が動作可能となる。

【 0 0 4 6 】

(実施の形態 4)

図 8 は、本発明の実施の形態 4 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 9 は図 8 の I X - I X 線に沿った断面図である。

【 0 0 4 7 】

図 8 および図 9 を参照して、本実施の形態においては、ダイオード 2 2 が以下のように構成されている。

【 0 0 4 8 】

すなわち、ダイオード 2 2 において、カソード領域は、 n^- エピタキシャル層 4 内に形成された n^+ 拡散層 8 c (第 1 のカソード領域) と、 n^- エピタキシャル層 4 と、 n^- エピタキシャル層 4 内に形成された n 型拡散層 5 (第 2 のカソード領域) とにより構成されている。アノード領域は、 n^- エピタキシャル層 4 内に形成された p 型拡散層 6 a と、 n 型拡散層 5 および p 型拡散層 6 a 内に形成された p^+ 拡散層 9 とにより構成されている。なお、 p^+ 拡散層 3 b と p 型拡散層 6 b と n^+ 拡散層 8 b とは形成されていない。

【 0 0 4 9 】

本実施の形態においては、ツェナー降伏が生じる $p n$ 接合は、 p^+ 拡散層 9 と n 型拡散層 5 とにより構成されている。ここで、 p^+ 拡散層 9 は n 型拡散層 5 の上面を覆うように形成されている。半導体基板 4 1 を上面から見た場合 (図 8) における p^+ 拡散層 9 の外周部分は、 p 型拡散層 6 a と電氣的に接続されている

。また、 n 型拡散層 5 の側面を取り囲むように p 型拡散層 6 a が形成されている。これにより p^+ 拡散層 9 および p 型拡散層 6 a で構成されるアノード領域は四角柱の形状となり、この四角柱の内部にカソード領域である n 型拡散層 5 が形成されている。したがって、ツェナー降伏が生じる $p-n$ 接合 (p^+ 拡散層 9 と n 型拡散層 5 とにより構成される $p-n$ 接合) はこの四角柱の内部に構成されることとなり、フィールド酸化膜 7 から離れている。

【 0 0 5 0 】

なお、これ以外の構成については図 1 ～図 3 に示す実施の形態 1 の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【 0 0 5 1 】

本実施の形態のサージ保護回路を備えた半導体装置においては、カソード領域である n 型拡散層 5 の上面を覆うように、ツェナー降伏が生じる $p-n$ 接合を構成するアノード領域である p^+ 拡散層 9 が形成されている。

【 0 0 5 2 】

これにより、ツェナー降伏が生じる $p-n$ 接合がフィールド酸化膜 7 から離れている構成を容易に作製できる。したがって、ツェナー降伏が生じる $p-n$ 接合の空乏層中の電子がフィールド酸化膜 7 にトラップされ空乏層幅が広がることによりダイオード 2 2 の降伏電圧が上がることを容易に防止できる。

【 0 0 5 3 】

なお、本実施の形態においては、カソード領域である n 型拡散層 5 の上面を覆うように、ツェナー降伏が生じる $p-n$ 接合を構成するアノード領域である p^+ 拡散層 9 が形成されている場合について示したが、本発明はこのような場合に限定されるものではなく、カソード領域である n 型拡散層 5 の側面を覆うように、ツェナー降伏が生じる $p-n$ 接合を構成するアノード領域が形成されていてもよい。

【 0 0 5 4 】

(実施の形態 5)

図 1 0 は、本発明の実施の形態 5 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。図 1 1 は図 1 0 の X I - X I 線に沿った断

面図である。

【0055】

図10および図11を参照して、本実施の形態においては、ダイオード22が以下のように構成されている。

【0056】

すなわち、ダイオード22において、アノード領域は、 n^- エピタキシャル層4内に形成された p^+ 拡散層3bと、 n^- エピタキシャル層4内に形成されたp型拡散層6aとにより構成されている。カソード領域は、 n^- エピタキシャル層4内に形成された n^+ 拡散層8c（第1のカソード領域）と、 n^- エピタキシャル層4と n^+ 拡散層2（第2のカソード領域）とにより構成されている。p型拡散層6aは、 p^+ 拡散層3bと接触するように、 n^- エピタキシャル層4内に広く形成されている。なお、n型拡散層5とp型拡散層6bとは形成されていない。

【0057】

本実施の形態においては、ツェナー降伏が生じるpn接合は、 p^+ 拡散層3bと n^+ 拡散層2とにより構成されている。 p^+ 拡散層3bと n^+ 拡散層2とはともに n^- エピタキシャル層4の内部（図11中下側）に形成されていて、ツェナー降伏が生じるpn接合は、フィールド酸化膜7から離れている。

【0058】

なお、これ以外の構成については図1～図3に示す実施の形態1の構成とほぼ同じであるため、同一の構成要素については同一の符号を付し、その説明を省略する。

【0059】

本実施の形態においては、ツェナー降伏が生じるpn接合は、ともに不純物濃度の高い領域である p^+ 拡散層3bと n^+ 拡散層2とにより構成されている。しかしながら、以下の理由によりpn接合部分の p^+ 拡散層3bの不純物濃度が局所的に低くなっている。

【0060】

すなわち、 p^+ 拡散層3bは、たとえば約 10^{14} 個/cm²の注入量でBを p^- 基板1に注入し、たとえば1150℃の熱処理を行なうことにより形成されてい

る。 n^+ 拡散層 2 は、たとえば約 10^{15} 個/ cm^2 の注入量で Sb (アンチモン) を p^- 基板 1 に注入し、たとえば 1180°C の熱処理を行なうことにより形成されている。このとき、Sb は B よりも拡散係数が小さいため、Sb の拡散により、 n^+ 拡散層 2 は p^- 基板 1 付近に形成される。一方、B は Sb よりも拡散係数が大きいので、B の拡散により、 p^+ 拡散層 3 b は n^+ 拡散層 2 よりも半導体基板 4 1 表面に近い領域 (図 1 1 中上側) に形成される。このようにして形成された p^+ 拡散層 3 b においては、 p^+ 拡散層 3 b 内部においても不純物濃度差が生じている。つまり、 p^+ 拡散層 3 b 内部において、半導体基板 4 1 表面に近い部分 (図 1 1 中上側) では局所的に B の不純物濃度が高くなっている。一方、 n^+ 拡散層 2 との $p-n$ 接合部分では局所的に B の不純物濃度が低くなっているため、 $p-n$ 接合の空乏層幅が広がる。これにより、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置が得られる。

【0061】

また、本実施の形態においては、ツェナー降伏が生じる $p-n$ 接合を構成する p^+ 拡散層 3 b と n^+ 拡散層 2 とは、ともに半導体基板 4 1 内に形成された n^- エピタキシャル層 4 の内部に形成されている。これにより、ツェナー降伏が生じる $p-n$ 接合が半導体基板 4 1 の内部 (図 1 1 中下側) に形成されるので、サージ保護回路 3 1 で発生した熱を効率良く半導体基板 4 1 へ放出することができる。

【0062】

実施の形態 1～5 においては、図 1 の回路を有する半導体装置の場合について説明したが、本発明はこのような場合に限られるものではなく、信号入力端子に電氣的に接続され、かつダイオードとトランジスタとを有するサージ保護回路を備えた半導体装置であればよい。また、不純物拡散領域の形成方法については、本実施の形態における条件に限られるものではなく、他の条件であってもよい。

【0063】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 0 6 4 】

【発明の効果】

以上により、本発明の半導体装置は、導電層と電氣的に接続されている第1のカソード領域と、ツェナー降伏が生じるp n接合を構成している第2のカソード領域とが別々に形成されている。したがって、第1のカソード領域の不純物濃度を高くすることにより導電層との接触抵抗を下げることができる。また、アノード領域と第2のカソード領域との不純物濃度を低くすることにより、電流のリークを防止できる。さらに、ツェナー降伏が生じるアノード領域と第2のカソード領域とのp n接合がフィールド酸化膜から離れているので、アノード領域とカソード領域とのp n接合の空乏層中に存在する電子がフィールド酸化膜にトラップされ、これによりp n接合の空乏層が広がり、ダイオードの降伏電圧が上昇するという問題を解決できる。したがって、電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置が得られる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1におけるサージ保護回路を示す回路図である。

【図2】 本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図3】 図2のI I I - I I I線に沿った断面図である。

【図4】 (a) 従来のサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。(b) 本発明の実施の形態1におけるサージ保護回路を備えた半導体装置の電流・電圧特性を示した図である。

【図5】 本発明の実施の形態2におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図6】 図5のV I - V I線に沿った断面図である。

【図7】 本発明の実施の形態3におけるサージ保護回路を備えた半導体装置の構成を概略的に示す断面図である。

【図8】 本発明の実施の形態4におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

【図 9】 図 8 の I X - I X 線に沿った断面図である。

【図 1 0】 本発明の実施の形態 5 におけるサージ保護回路を備えた半導体装置の構成を概略的に示す平面図である。

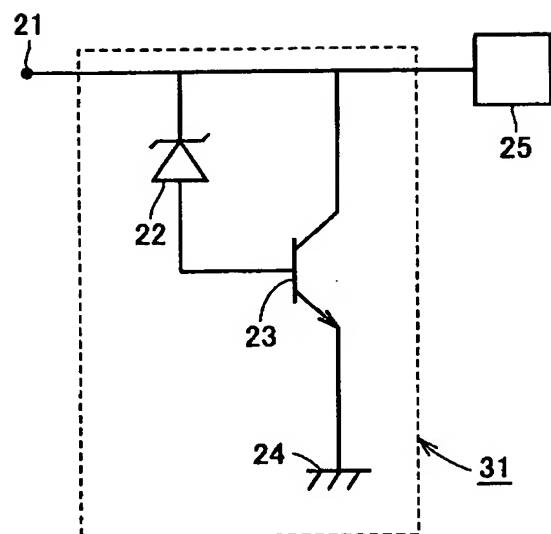
【図 1 1】 図 1 0 の X I - X I 線に沿った断面図である。

【符号の説明】

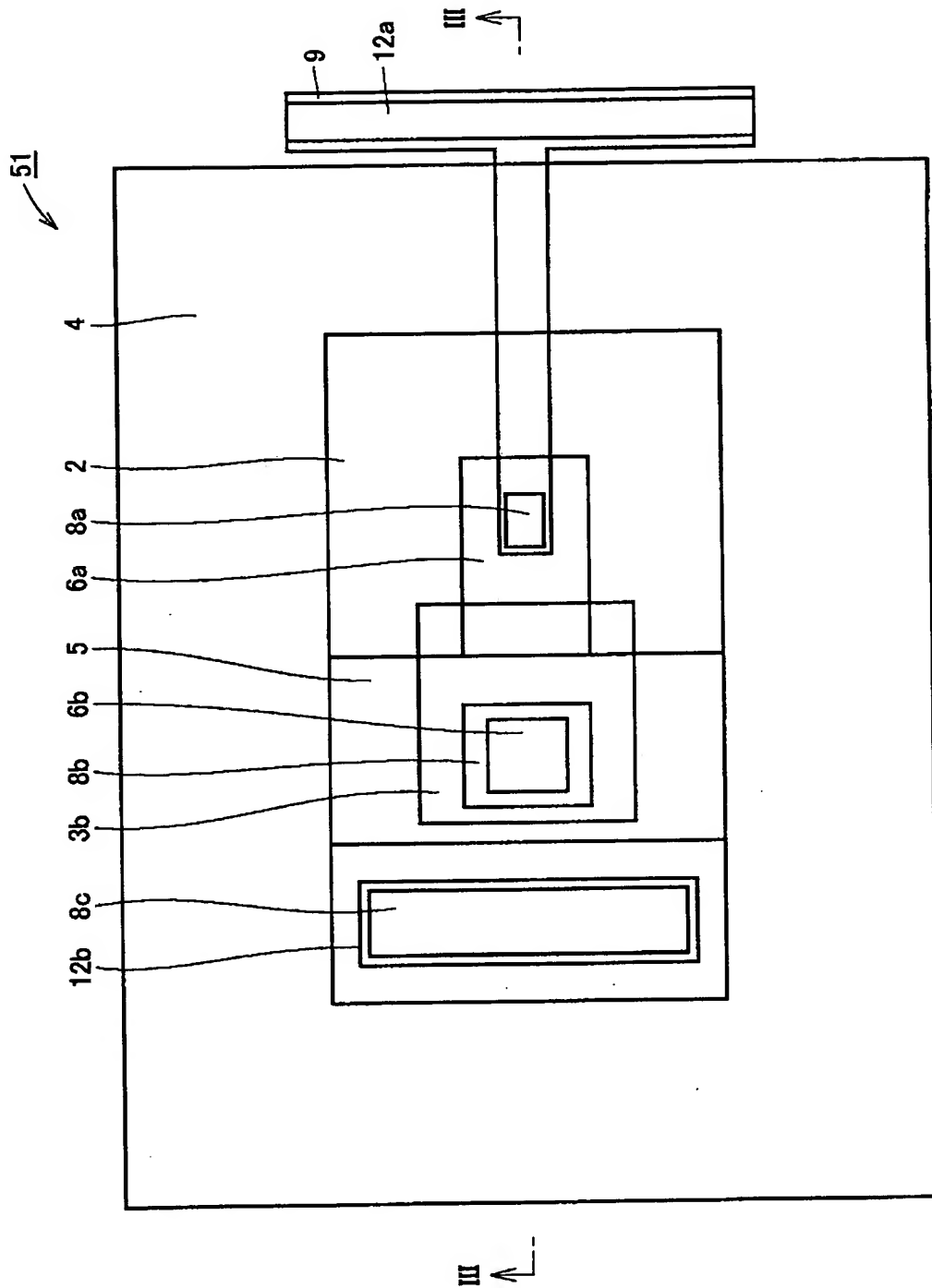
1 p^- 領域、2 n^+ 拡散層、3 a, 3 b p^+ 拡散層、4 n^- エピタキシャル層、5 n 型拡散層、6 a, 6 b p 型拡散層、7 フィールド酸化膜、8 a ~ 8 c n^+ 拡散層、9 p^+ 拡散層、1 0 層間絶縁膜、1 1 a ~ 1 1 c コンタクトホール、1 2 a, 1 2 b 配線、1 3 a, 1 3 b n^+ 拡散層、2 1 信号入力端子、2 2 ダイオード、2 3 npn トランジスタ、2 4 接地電位、2 5 装置部分、3 1 サージ保護回路、4 1 半導体基板、5 1 半導体装置。

【書類名】 図面

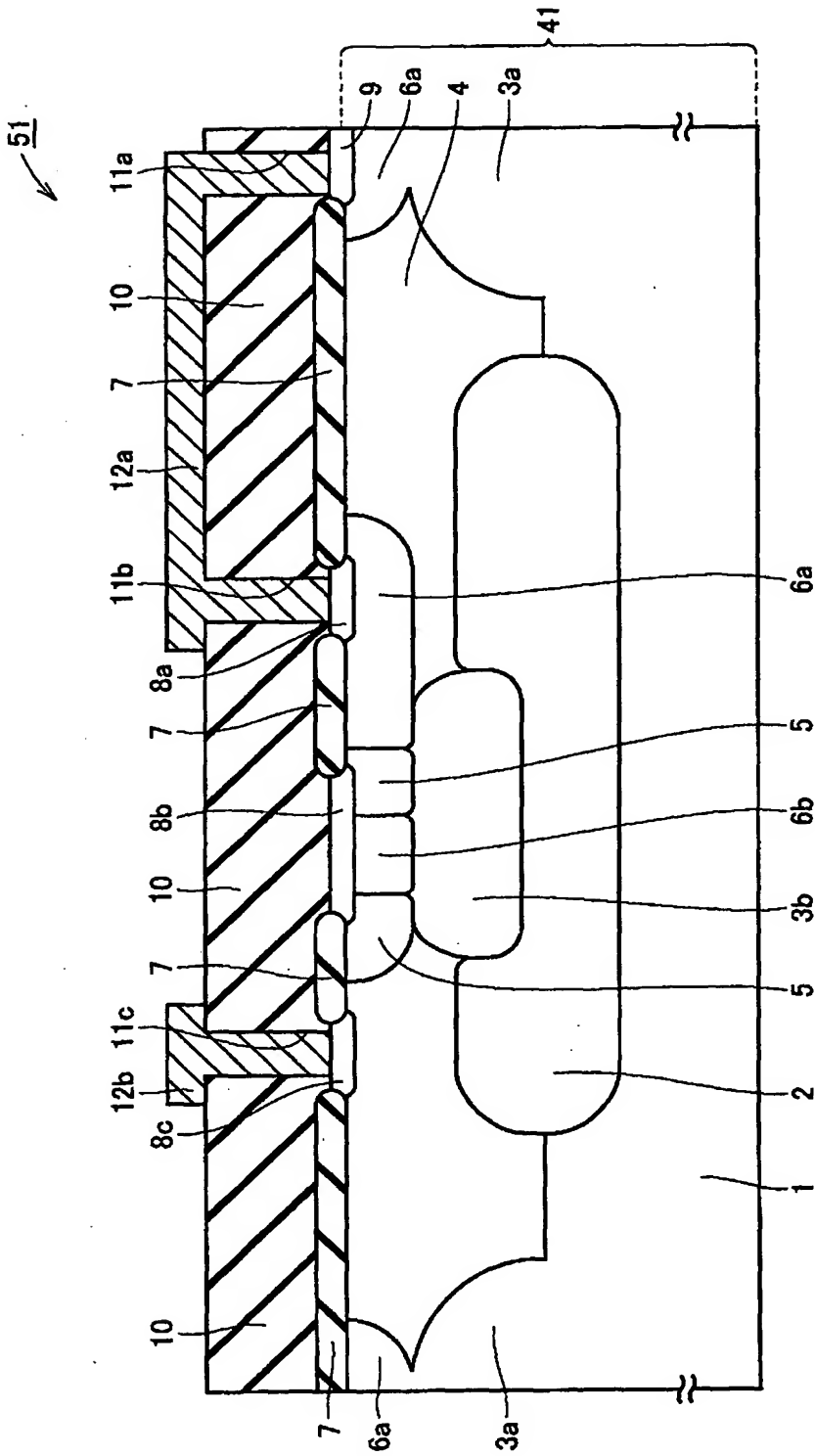
【図 1】



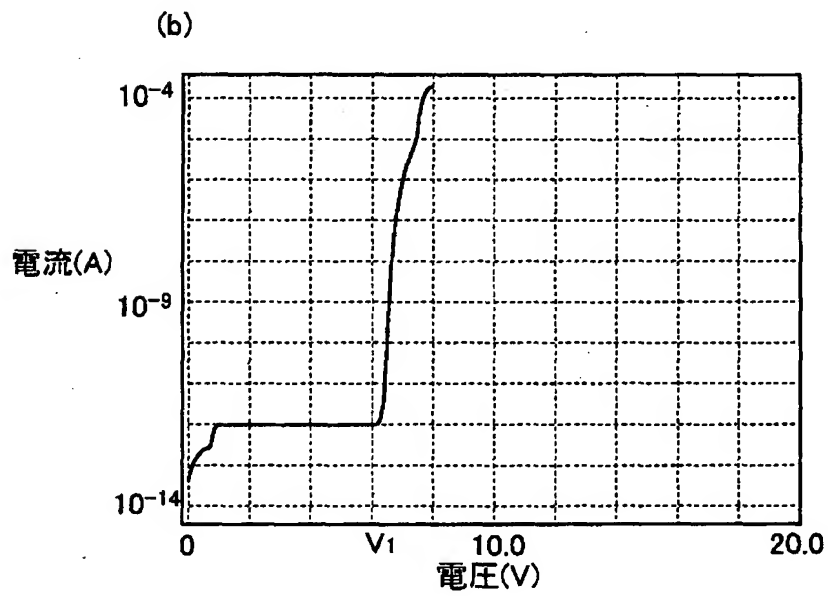
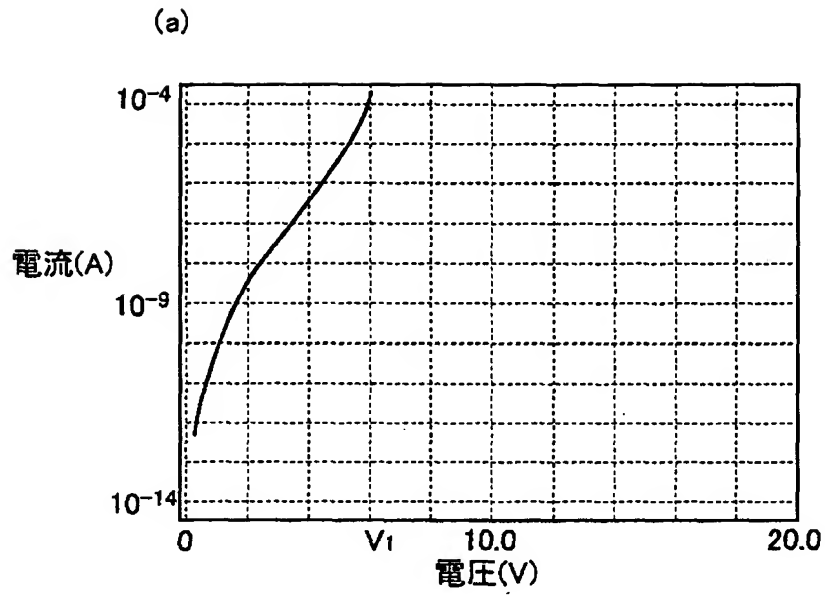
【図 2】



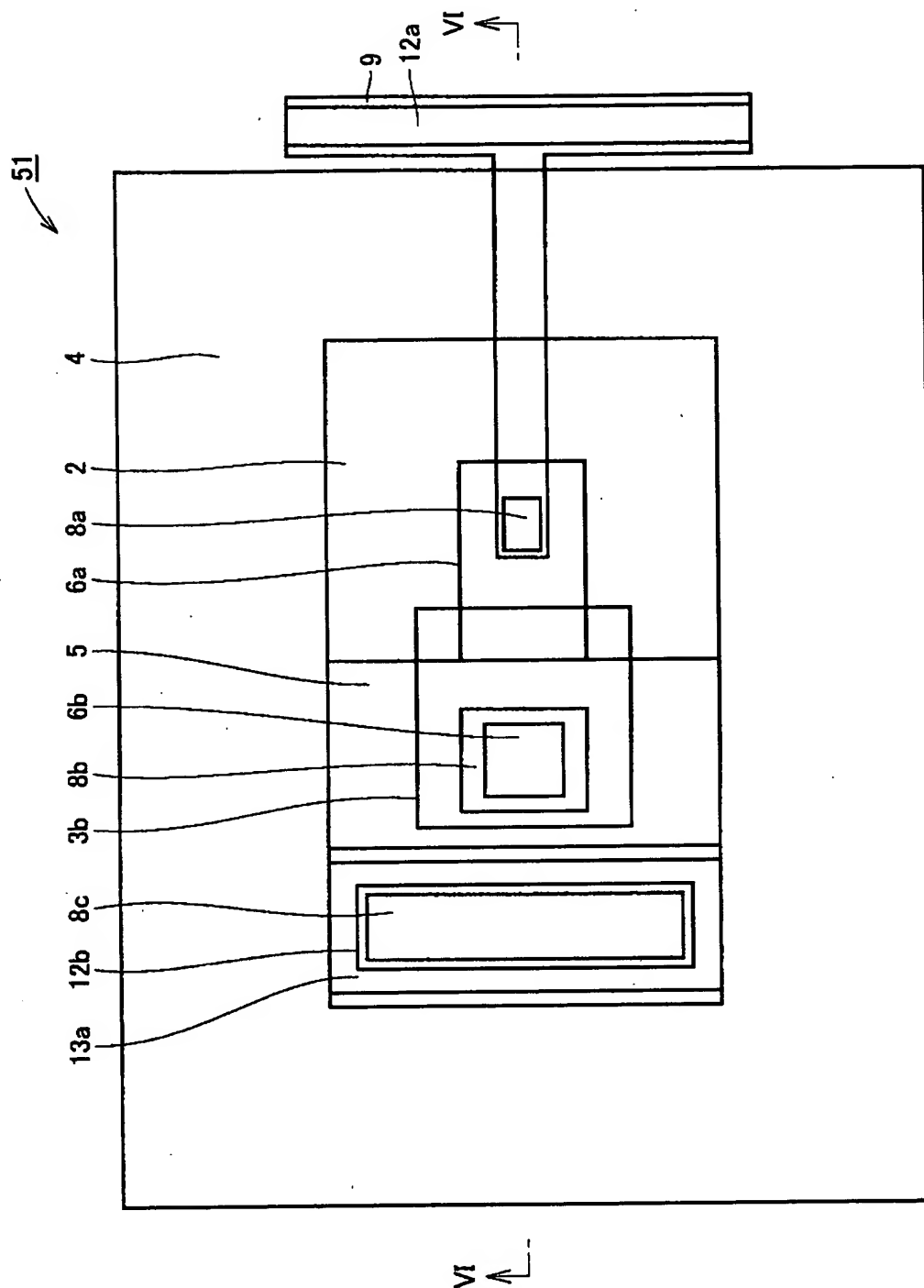
【図3】



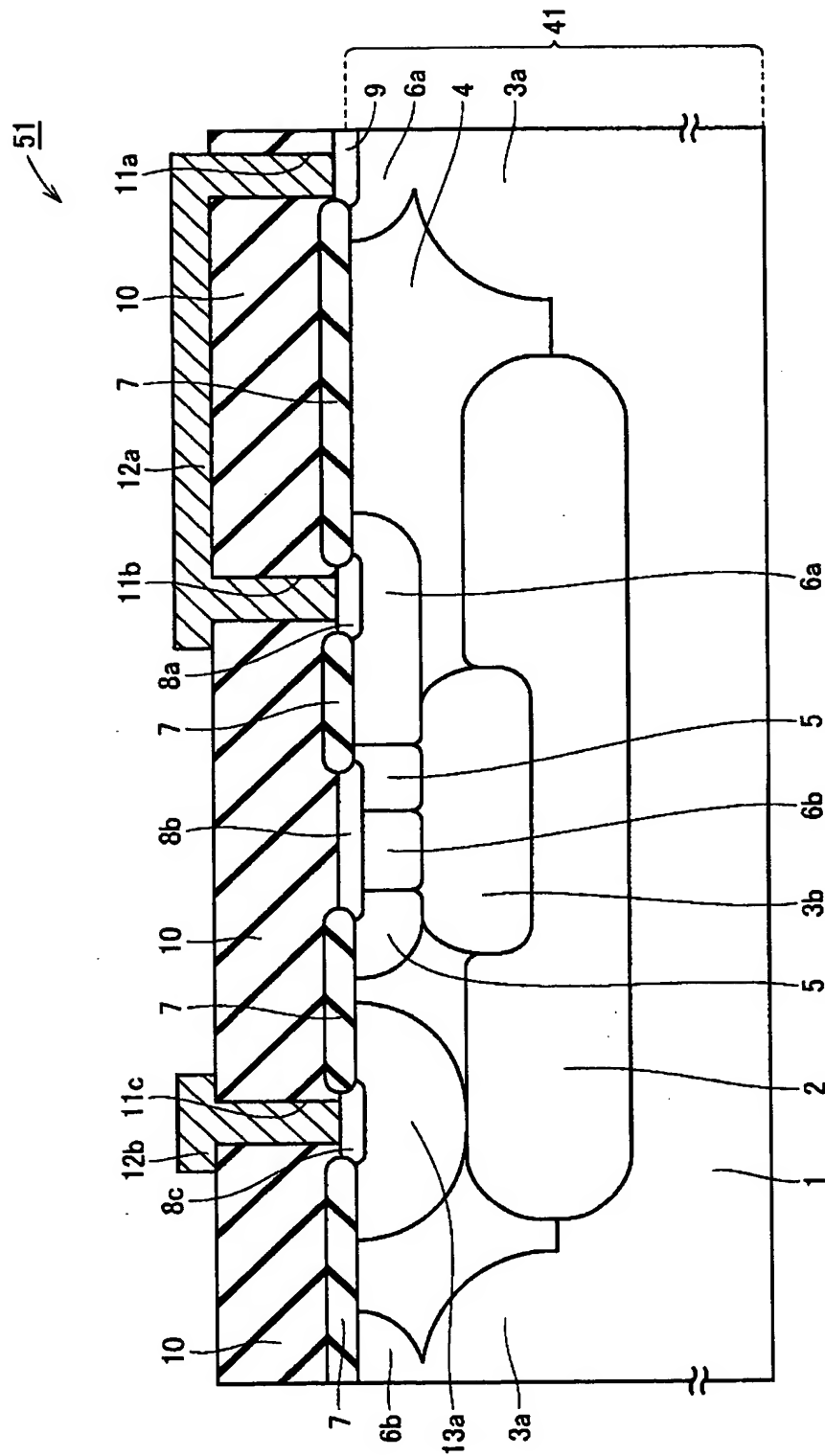
【図 4】



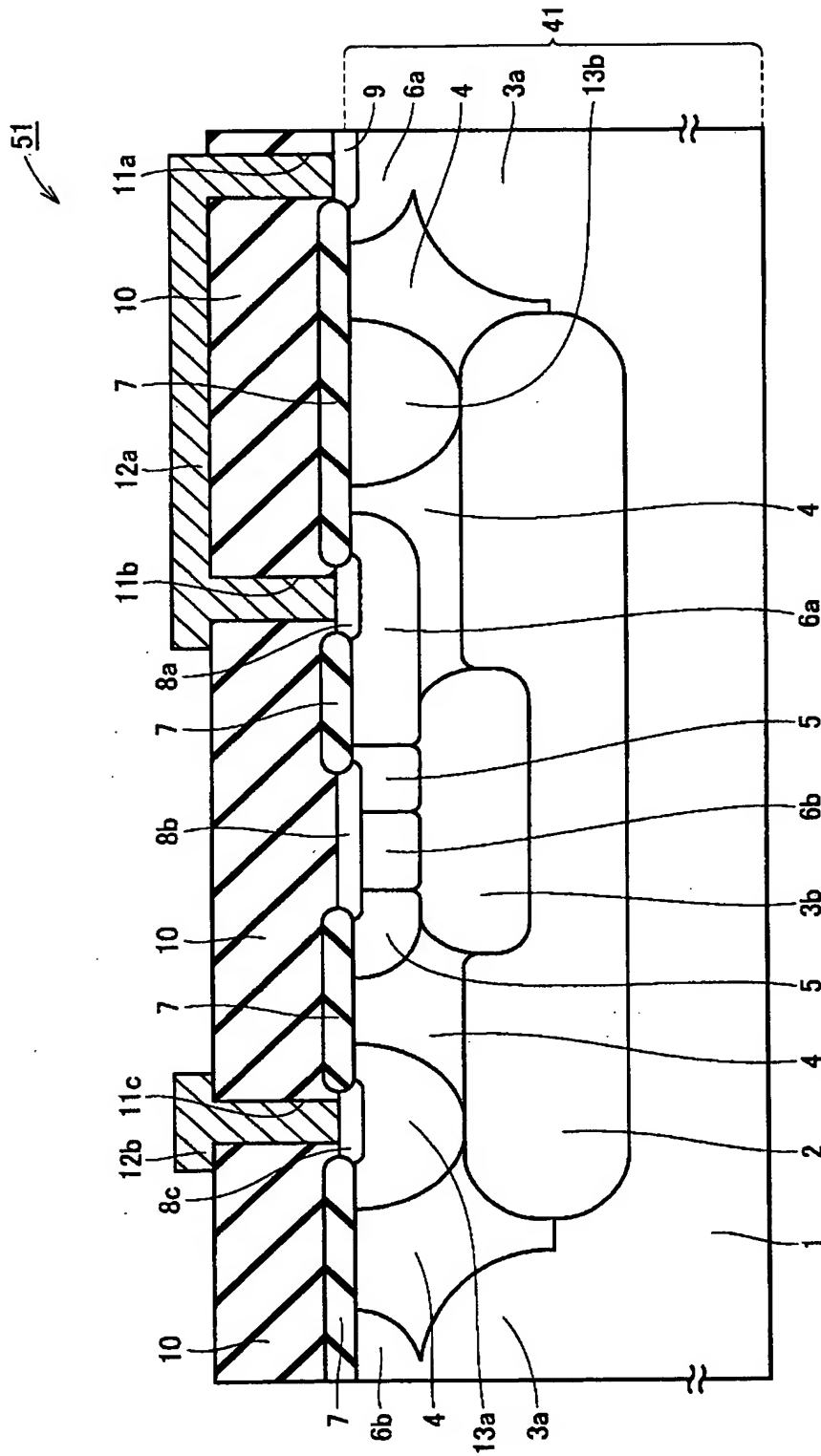
【図 5】



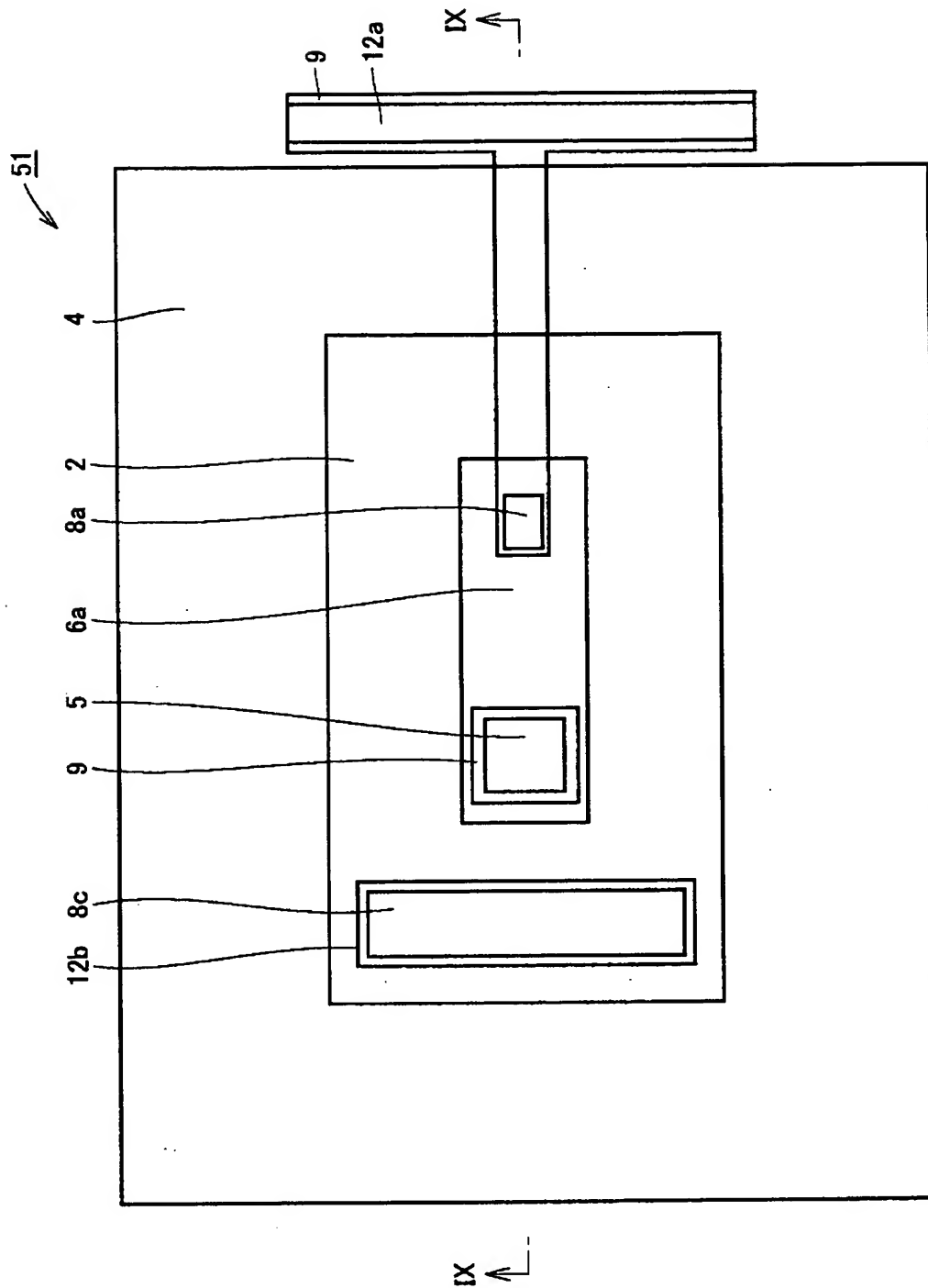
【図 6】



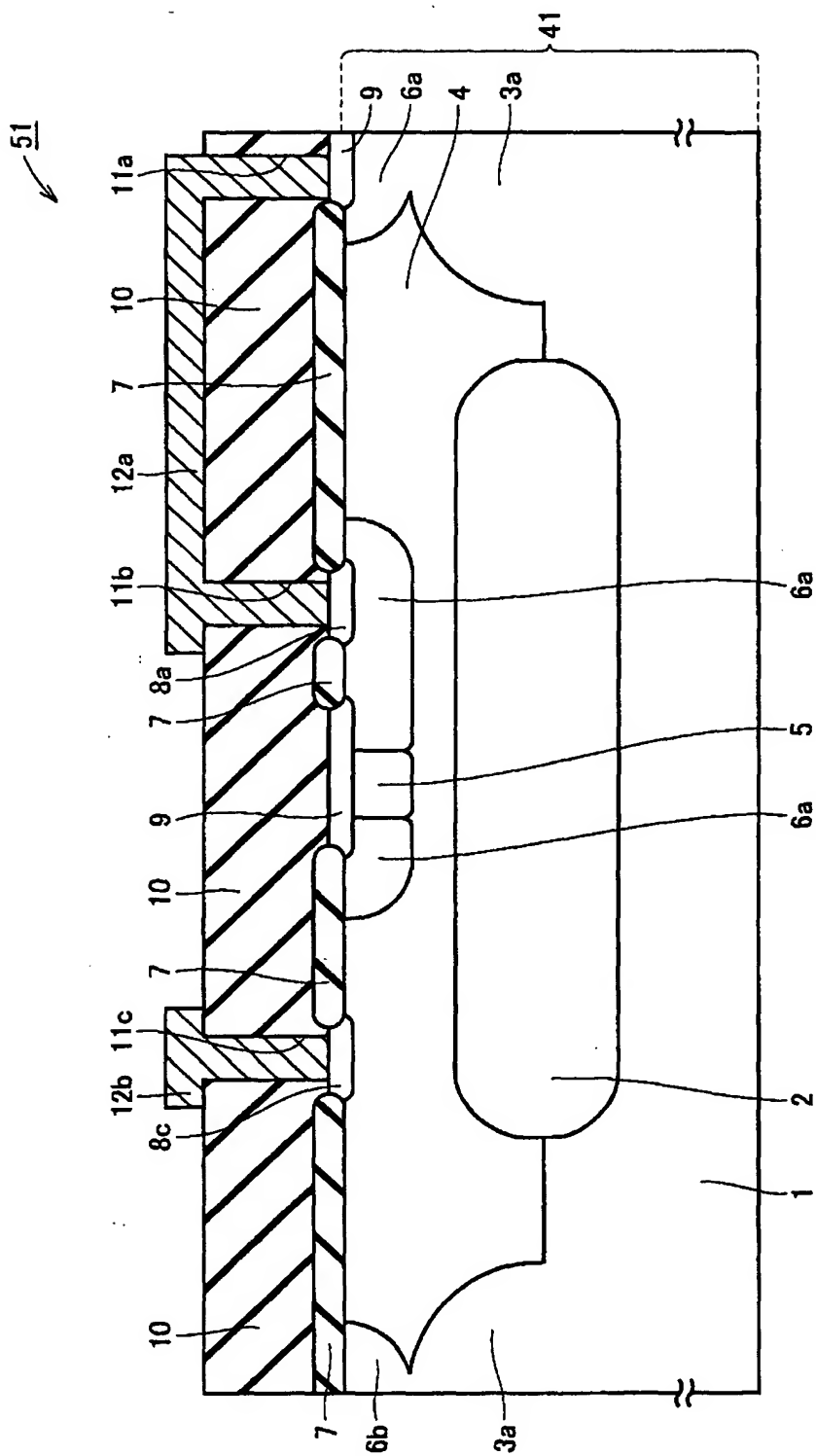
【図 7】



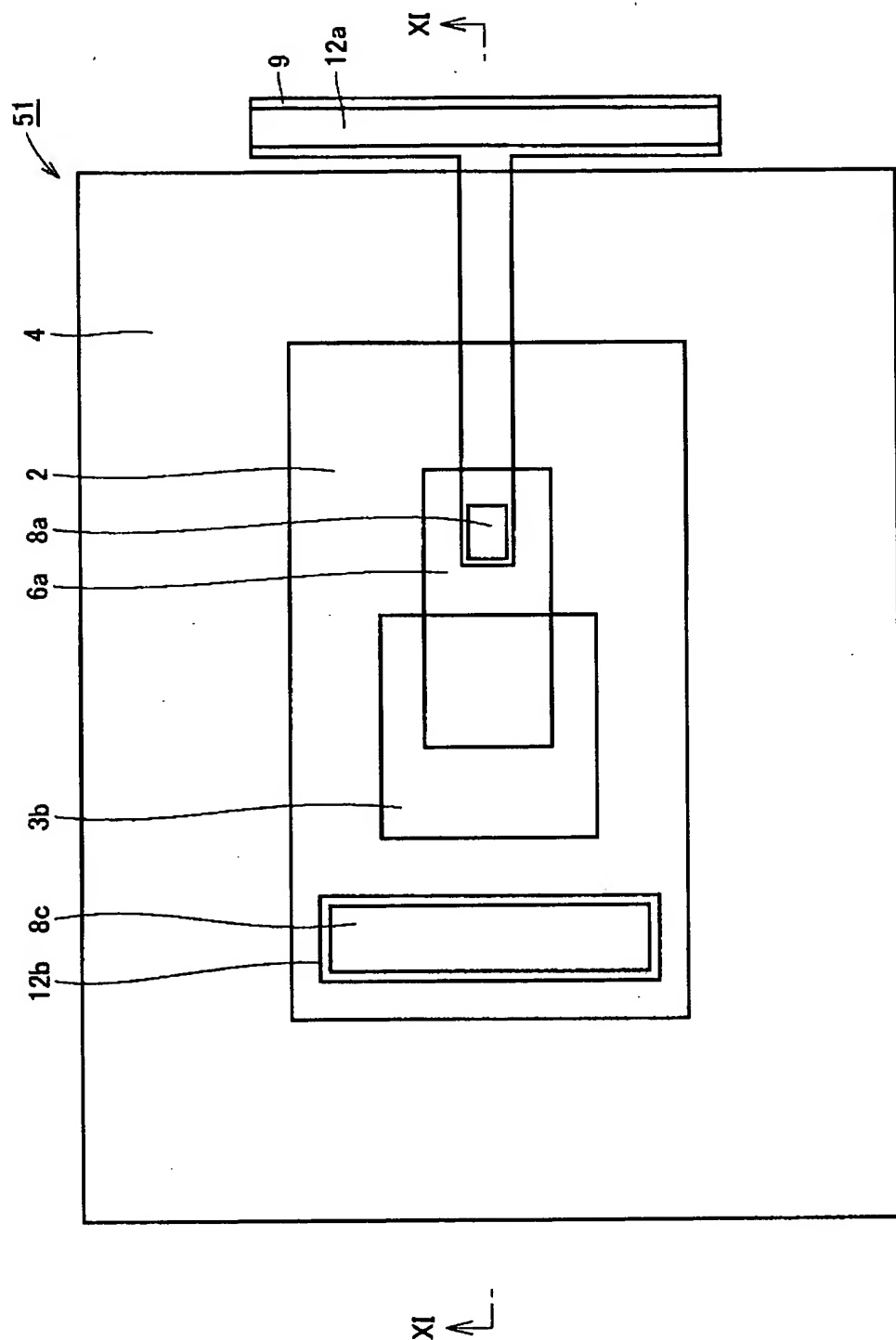
【図 8】



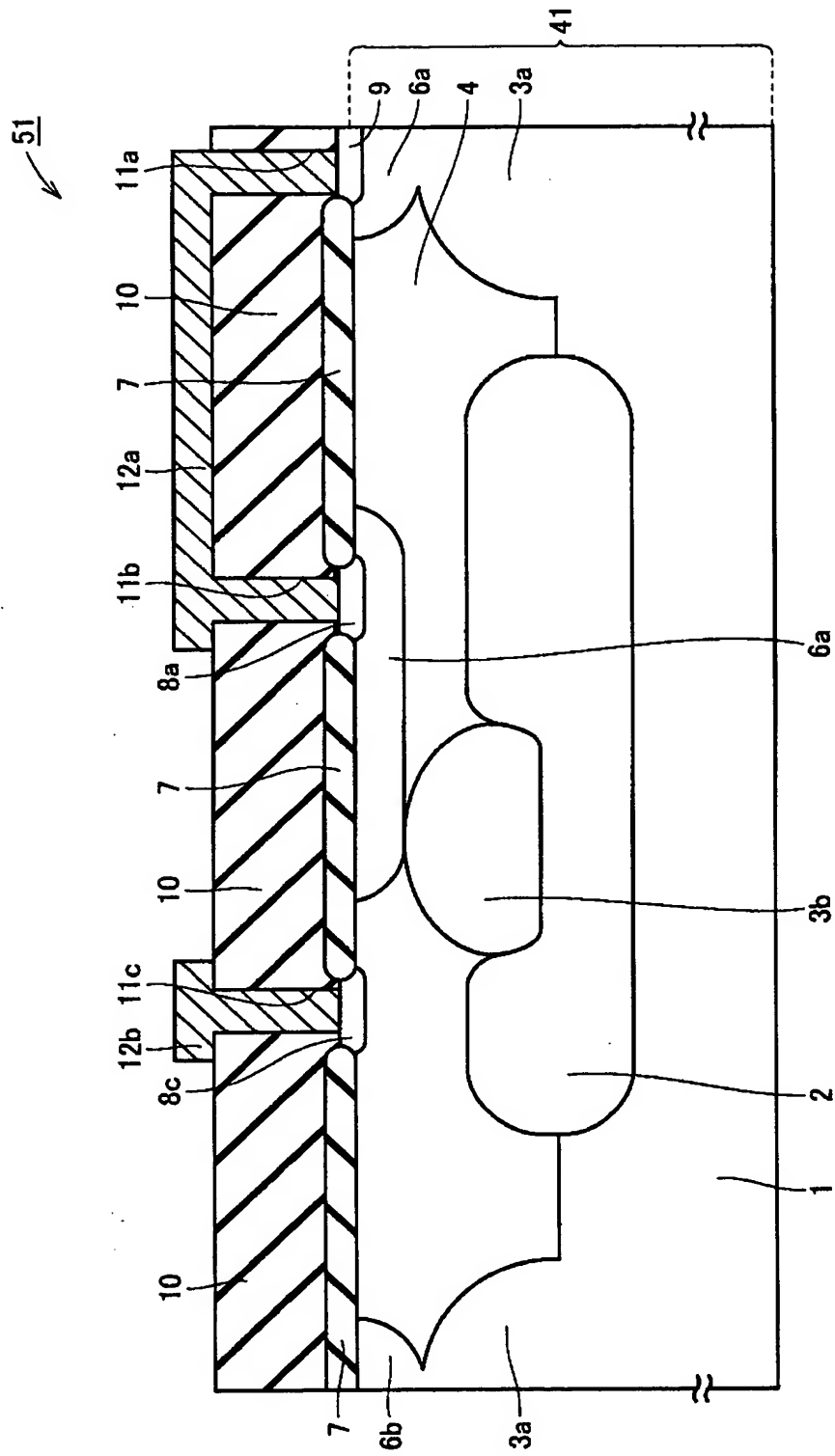
【图9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 電流のリークが生じず、かつ正常に動作するサージ保護回路を備えた半導体装置を提供する。

【解決手段】 本発明の半導体装置 5 1 は、信号入力端子 2 1 に電氣的に接続され、かつダイオード 2 2 とトランジスタ 2 3 とを有するサージ保護回路を備えた半導体装置 5 1 であって、主表面を有する半導体基板 4 1 と、その主表面に形成されたフィールド酸化膜 7 と、その主表面上に形成され、かつ信号入力端子 2 1 に電氣的に接続された導電層 1 2 a、1 2 b とを備えている。ダイオード 2 2 のカソード領域は、 n^+ 拡散層 8 c と、 n^- エピタキシャル層 4 と、 n 型拡散層 5 と、 n^+ 拡散層 8 b とで構成されている。 n^+ 拡散層 8 c は、配線 1 2 b と電氣的に接続して半導体基板 4 1 の主表面に形成されている。 n^+ 拡散層 8 b は、 p 型拡散層 6 b とツェナー降伏が生じる $p-n$ 接合を構成し、ツェナー降伏が生じる $p-n$ 接合は、フィールド酸化膜 7 から離れている。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日

[変更理由] 新規登録

住 所 東京都千代田区丸の内2丁目2番3号

氏 名 三菱電機株式会社